

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66295

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

H 0 1 L 21/8234
27/088

識別記号

庁内整理番号

F I

技術表示箇所

8934-4M

H 0 1 L 27/ 08

1 0 2 B

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-211562

(22) 出願日 平成5年(1993)8月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 衣 川 正 明

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

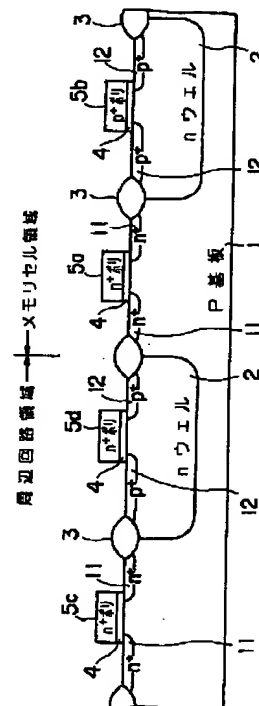
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 メモリセル領域内のp導電型トランジスタに対してしきい値の安定性とリーク電流の低減を図るとともに周辺領域内のp導電型トランジスタに対しては高い電流駆動能力を与えることを可能にする。

【構成】 単結晶のシリコン半導体基板上に形成される、メモリセル領域内のp導電型電界効果トランジスタのゲート電極5bがp型ポリシリコン層を有し、周辺回路領域内のp導電型電界効果トランジスタのゲート電極5dがn型ポリシリコン層を有していることを特徴とする。



【特許請求の範囲】

【請求項1】単結晶のシリコン半導体基板上に形成される、メモリセル領域内のp-導電型電界効果トランジスタのゲート電極がp型ポリシリコン層を有し、周辺回路領域内のp-導電型電界効果トランジスタのゲート電極がn型ポリシリコン層を有していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はp型電界効果型トランジスタを複数個有している半導体装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】一般に、p-導電型のMIS (Metal Insulator Silicon) 構造のトランジスタのゲート電極をn型ポリシリコンで形成すると、チャンネルが埋込型となってゲート絶縁膜と半導体基板との界面よりやや深いところに形成される。このため、チャンネルは界面の散乱を受けにくく、ホールの移動度が高くなり、電流駆動能力は向上する。しかし、チャンネルが界面より深いところにできるため、ゲート電極による制御をチャンネルが受けにくくなってチャンネル長が短くなったときにソース/ドレイン間にパンチスルー電流が流れやすい。

【0003】一方、p-導電型のMIS構造のトランジスタのゲート電極をp型ポリシリコンで形成すると、ゲート長を微細にすることが可能となるばかりでなく、チャンネルが表面型となってゲート絶縁膜と半導体基板との界面に形成されるためにパンチスルーの問題が軽減される。したがって、微細なゲート長のトランジスタにはp型ポリシリコンゲート電極が好んで用いられる。しかし、この場合チャンネルがゲート絶縁膜と半導体基板との界面に形成されるために界面散乱の影響でキャリアの移動度が上がらず、電流駆動能力が低下するという問題があり、この点を犠牲にしていた。

【0004】例えば、完全CMOS型の従来のスタティックRAMにおいては、図7に示すように、メモリセル領域であるか周辺回路領域であるかにかかわらず、p型基板1上に直接に形成されるnMOSTランジスタのゲート電極5a、5cにはn⁺ポリシリコンが用いられ、p型基板1上に形成されたnウェル2内に形成されるpMOSTランジスタのゲート電極5b、5dにはp⁺ポリシリコンが用いられている。なお、nMOSTランジスタとpMOSTランジスタとは素子分離領域3によって分離されている。符号11はnMOSTランジスタのソース/ドレイン領域であり、符号12はpMOSTランジスタのソース/ドレイン領域である。

【0005】このように、電流駆動能力をそれほど必要としないメモリセルのpMOSTランジスタのゲート電極5bにp⁺ポリシリコンが用いられたことにより、しきい値のバラツキが少なく、リーク電流が一様に少なくな

るという利点を得られるが、本来、高い電流駆動能力を必要とする周辺回路（例えばメモリセルからのデータの読出し回路）のpMOSTランジスタのゲート電極5dにはメモリセルの場合と同様にp⁺ポリシリコンが用いられ、周辺回路の性能が犠牲にされていた。これは、メモリセルの安定性が優先されるためである。

【0006】本発明は上記事情を考慮してなされたものであって、メモリセル領域内のp-導電型のMISトランジスタに対してはしきい値の安定性とリーク電流の低減を図り、周辺領域内のp-導電型のMISトランジスタに対しては高い電流駆動能力を備えるようにした半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による半導体装置は、単結晶のシリコン半導体基板上に形成される、メモリセル領域内のp-導電型電界効果トランジスタのゲート電極がp型ポリシリコン層を有し、周辺回路領域内のp-導電型電界効果トランジスタのゲート電極がn型ポリシリコン層を有していることを特徴とする。

【0008】

【作用】このように構成された本発明の半導体装置によれば、メモリセル領域内のp-導電型電界効果トランジスタのゲート電極がp型ポリシリコン層を、周辺回路領域内のp-導電型電界効果トランジスタのゲート電極がn⁺ポリシリコン層を各々有している。これによりメモリセル領域内のp-導電型トランジスタに対してしきい値とリーク電流の低減を図ることができるとともに、周辺領域内のp-導電型トランジスタに対しては高い電流駆動能力を与えることができる。

【0009】

【実施例】本発明による半導体装置の一実施例の断面図を図1に示す。この実施例の半導体装置は、p型の半導体基板1上のメモリセル形成領域および周辺回路形成領域には各々CMOSTランジスタが形成されている。そしてメモリセル形成領域内のnMOSTランジスタのゲート電極5aはn⁺ポリシリコンからなっており、pMOSTランジスタのゲート電極5fはp⁺ポリシリコンからなっている。一方、周辺回路形成領域内のnMOSTランジスタのゲート電極5cおよびpMOSTランジスタのゲート電極5dはn⁺ポリシリコンからなっている。すなわち、この実施例の半導体装置は、図7に示す従来の半導体装置において、周辺回路形成領域のpMOSTランジスタのゲート電極5dをp⁺ポリシリコンからn⁺ポリシリコンに代えたものとなっている。

【0010】次に図1に示す半導体装置の製造方法を図2および図3を参照して説明する。まず、単結晶のp型半導体基板1にnウェル2を形成し、続いて素子分離領域3を形成し、しきい値を合わせ込むためのイオン注入を行う（図(a)参照）。次に、例えば150オングストロームの厚さのゲート酸化膜4を乾燥酸素雰囲気中で

3

形成し、続いて例えばCVD法を用いて厚さが2000
 オングストロームのポリシリコン層5を形成する(図2
 (a)参照)。その後、メモリセル形成領域内のpMOS
 トランジスタを形成する領域を除く、半導体基板の全
 面にフォトレジスト層6を形成し、上記メモリセル形成
 領域内のpMOSトランジスタを形成する領域に、ボロ
 ン7を15KeVで $5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン
 注入する(図2(b)参照)。続いて上記フォトレジス
 ト層6を除去した後、上記メモリセル形成領域内のpM
 OSTランジスタを形成する領域上のみフォトレジス
 ト層8を形成し、他の領域にヒ素を30KeVで 5×1
 0^{15}cm^{-2} のドーズ量で打込む(図2(c)参照)。その
 後ポリシリコン5上にスパッタ法を用いて高融点金属シ
 リサイド例えば WSi_2 を2000オングストローム堆
 積し、この WSi_2 層10およびポリシリコン層5をR
 IE法を用いてパターンニングしてゲート電極を形成する
 (図3(a)参照)。続いてnMOSTランジスタおよ
 びpMOSTランジスタの形成領域に各々、不純物を注
 入し、ソース/ドレイン領域11および12を形成し、
 窒素雰囲気中で800℃の活性化アニールを行う(図3
 (b)参照)。そして層間絶縁膜13を形成した後、パ
 ターニングしてトランジスタのソース/ドレイン領域お
 よびゲート電極とのコンタクトを取るための開口部を設
 け、続いて配線層14を形成して半導体装置を形成する
 (図3(b)参照)。

【0011】なお、pMOSTランジスタのゲート電極
 にp型ポリシリコン、n型ポリシリコンを各々用いた場
 合のしきい値電圧のバラツキの分布を図4(a)、

(b)に示す。この図4(a)、(b)からpMOST
 ランジスタのゲート電極にp型ポリシリコンを用いた方
 がしきい値電圧のバラツキが少ないことがわかる。又、
 完全CMOS型セルのSRAMのpMOSTランジスタ
 のゲート電極にp型ポリシリコン、n型ポリシリコンを
 各々用いた場合のスタンバイ電流(リーク電流)の分布
 を図5(a)、(b)に示す。この図5(a)、(b)
 からpMOSTランジスタのゲート電極にp⁺ポリシリ
 コンを用いた方がリーク電流が少ないことが分かる。

【0012】又、pMOSTランジスタのゲート電極に
 p⁺ポリシリコンとn⁺ポリシリコンを各々使用した場
 合のリングオシレーターの1段当りの遅延時間を図6に示
 す。この図6からn⁺ポリシリコンを用いた方が高速化

4

を達成できることが分かる。

【0013】以上説明したように本実施例によれば、高
 い電流駆動能力を必要とする周辺回路内のpMOSTラ
 ンジスタのゲート電極5dがn⁺ポリシリコンによって
 形成されることにより、高い電流駆動能力を得ることが
 できるとともに、メモリセル内pMOSTランジスタの
 ゲート電極がp⁺ポリシリコンによって形成されること
 により、メモリセルを構成するトランジスタのしきい値
 の安定性とリーク電流の低減を図ることができる。

10 【0014】

【発明の効果】本発明によれば、メモリセル領域内のp
 -導電型のMISTランジスタに対しては、しきい値の
 安定性とリーク電流の低減を図ることができるととも
 に、周辺領域内のp-導電型のMISTランジスタに対
 しては高い電流駆動能力を備えるようにすることができ
 る。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す断面図。

20 【図2】図1に示す実施例の半導体装置の製造工程を示
 す断面図。

【図3】図1に示す実施例の半導体装置の製造工程を示
 す断面図。

【図4】pMOSTランジスタのゲート電極をp⁺ポリ
 シリコンとn⁺ポリシリコンで製造した場合のしきい値
 電圧の分布を示すグラフ。

【図5】pMOSTランジスタのゲート電極をp⁺ポリ
 シリコンとn⁺ポリシリコンで製造した場合のスタンバ
 イ電流(リーク電流)の分布を示すグラフ。

30 【図6】リングオシレーターのpMOSTランジスタのゲ
 ート電極をp⁺ポリシリコンとn⁺ポリシリコンで各々
 製造した場合の1段当りの遅延時間を示す図表。

【図7】従来の半導体装置の構成を示す断面図。

【符号の説明】

1 単結晶のp型半導体基板

2 nウェル

3 素子分離領域

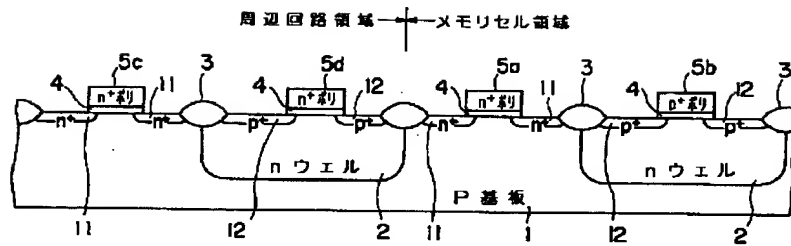
4 ゲート絶縁膜

5 i (i = a, b, c, d) ゲート電極

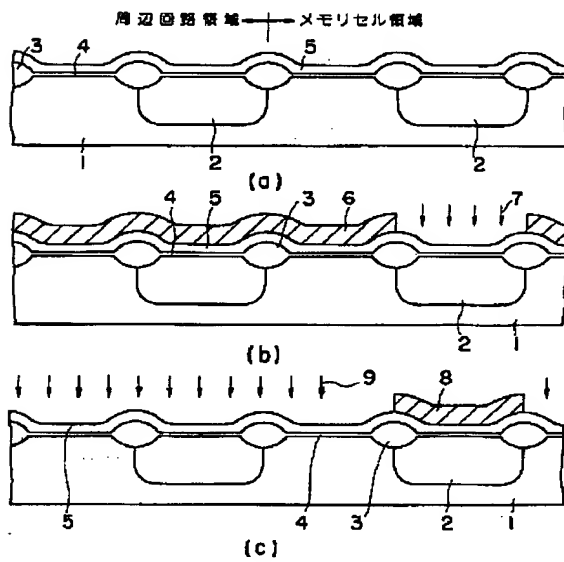
11 ソース/ドレイン領域

40 12 ソース/ドレイン領域

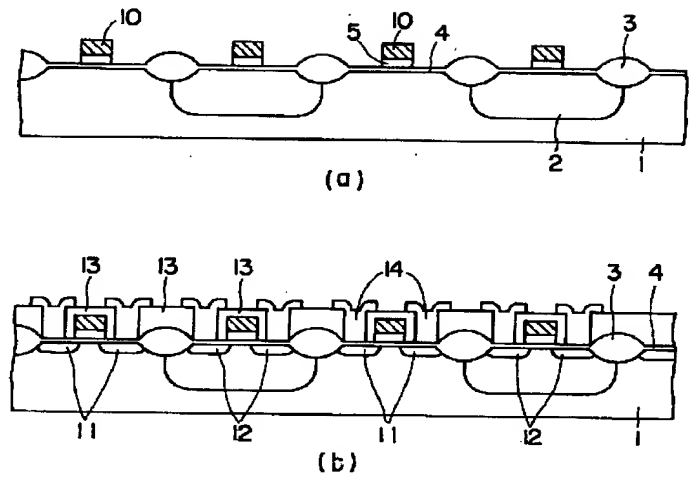
【図1】



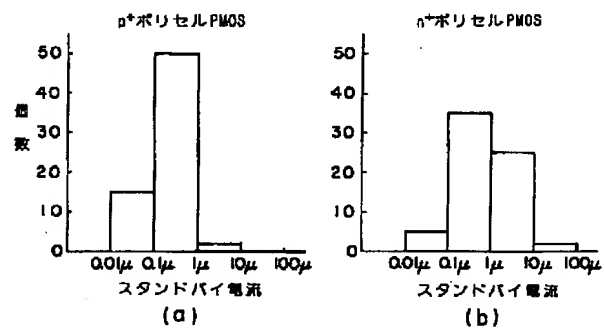
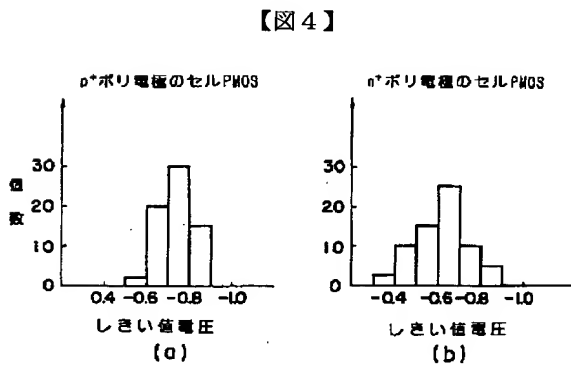
【図2】



【図3】



【図5】



【図6】

周辺回路PMOS ゲート電極	リングオシレータスピード	1 段当りの 遅延時間
n ⁺ ポリ	80psec	
p ⁺ ポリ	116psec	

【図7】

